

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-183750

(43)Date of publication of application : 21.07.1989

(51)Int.Cl.

G06F 12/08

G06F 12/08

(21)Application number : 63-007266

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.01.1988

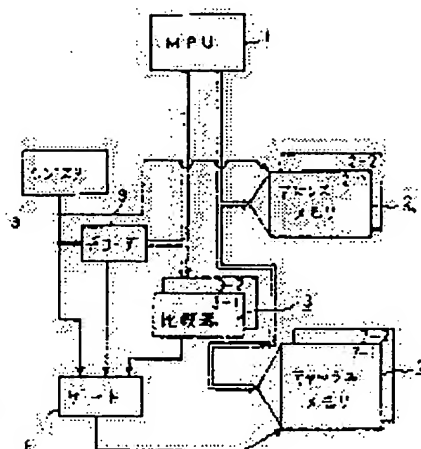
(72)Inventor : TANAKA MINORU

(54) CACHE MEMORY RESIDENCE SYSTEM

(57)Abstract:

PURPOSE: To realize the mixed use of a cache memory and a high-speed memory in an optional area with a simple constitution by providing a comparator as well as a register which stores the permission information on the use of the cache memory.

CONSTITUTION: A register 8 stores the information on the permission for the use of a cache memory 7 as it is, i.e., a way number. In case a way 7-2, for example, of the memory 7 is stored in the register 8 in an effective form. Thus a comparator 3 compares the address of the corresponding way 2-2 of an address memory 2 with a part of the address pointed by an MPU1. Thus an access is given to an area 7-2 of the memory 7. While an area 7-1 of the memory 7 is defined as an access enable area of a high-speed memory not as a cache memory. This access enable area receives accesses from a part of each of those addresses pointed by the register 8, a decoder 9 and the MPU1 respectively. In such a way, an access is possible to a mixed area of the memory 7 and the high-speed memory through a simple constitution.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-183750

⑬ Int.Cl.⁴
G 06 F 12/08

識別記号
310

庁内整理番号
Z-7010-5B
C-7010-5B

⑭ 公開 平成1年(1989)7月21日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 キャッシュメモリ常駐化方式

⑯ 特 願 昭63-7266

⑰ 出 願 昭63(1988)1月14日

⑱ 発 明 者 田 中 稔 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

キャッシュメモリ常駐化方式

2. 特許請求の範囲

プロセッサ(1)とアドレス情報を格納するアドレスメモリ(2)とキャッシュメモリ(7)とで構成され前記キャッシュメモリ(7)を高速アクセス可能な高速用メモリとして使用するシステムにおいて、

前記キャッシュメモリ(7)の一部又は全部をキャッシュメモリとして使用することを許可する情報を格納するレジスタ(8)と、

前記アドレスメモリ(2)の出力するアドレスと前記プロセッサ(1)の指定するアドレスの一部とを比較する比較器(3)とを備え、

前記レジスタ(8)の許可条件に合致すれば前記比較器(3)で照合した場合にキャッシュメモリ(7)をアクセスし、レジスタ(8)の不許可条件に合致する場合には高速メモリとしてアクセスし、結果的に常駐化することができることを特徴とするキャッシュ

メモリ常駐化方式。

3. 発明の詳細な説明

(概 要)

この発明は、高速アクセスを可能なキャッシュメモリにおけるキャッシュメモリ常駐化方式に関し、

高速メモリとして使用可能なキャッシュメモリを簡易な構成で効率よくキャッシュメモリ領域の指定を可能にすることを目的とし、

プロセッサとアドレス情報を格納するアドレスメモリとキャッシュメモリとで構成され前記キャッシュメモリを高速アクセス可能な高速用メモリとして使用するシステムにおいて、前記キャッシュメモリの一部又は全部をキャッシュメモリとして使用することを許可する情報を格納するレジスタと、前記アドレスメモリの出力するアドレスと前記プロセッサの指定するアドレスの一部とを比較する比較器とを備え、前記レジスタの許可条件に合致すれば前記比較器で照合した場合にキャッシュ

メモリをアクセスし、レジスタの不許可条件に合致する場合には高速メモリとしてアクセスし、結果的に常駐化するように構成する。

(産業上の利用分野)

この発明は、高速アクセスの可能なキャッシュメモリにおけるキャッシュメモリ常駐化方式に関するものである。

情報処理の分野でプロセッサの周辺にキャッシュメモリが数多く用いられている。このキャッシュメモリをキャッシュメモリとしてでなく、高速アクセスの可能な高速メモリとして使用するということが行われている。

しかして、簡易な構成でキャッシュメモリと高速メモリを混用して使用することが可能なキャッシュメモリ常駐化方式が要望されている。

(従来の技術)

従来、キャッシュメモリを高速メモリとして使用する場合には、システムに電源を投入した後、

例えばシステムを診断を行うようなシステム運用前に、キャッシュメモリを無効にして高速メモリとして使用することが行われている。即ち、キャッシュメモリとして使用するか、高速メモリとして使用するのかの何れかであり、2種類の動作モードでキャッシュメモリを取り扱っている。

さらに、固定した領域をキャッシュメモリと高速メモリで分割して使用している。

上記した方法は、任意に領域をキャッシュメモリ/高速メモリと混在させて使用することが不可能であることから不便である。

この状態に対処するために、キャッシュメモリを制御する制御部に、各エントリ毎の常駐ビットをアドレスに付けて、キャッシュメモリとして、常駐ビットを「オン」に登録することにより、結果的に高速メモリとして使用する方法が採用されている。しかしながら、この方法は、制御部に常駐ビットを制御する複雑な制御回路が必要となる。

(発明が解決しようとする問題点)

上記したように従来の方法は、2モード即ち、キャッシュメモリ、高速メモリの何れかとして取り扱うか、或いはキャッシュメモリ、高速メモリを混在させる場合には領域が固定となったり制御部が複雑になるという問題がある。

この発明は、上記した従来の状況から、簡易な構成でキャッシュメモリおよび高速メモリとして任意の領域で混在させて使用可能なキャッシュメモリ常駐化方式の提供を目的とするものである。

(問題点を解決するための手段)

この発明は、第1図の原理図に示すように、プロセッサ1とアドレス情報を格納するアドレスメモリ2と高速アクセス可能なキャッシュメモリ7とで構成し、キャッシュメモリ7をキャッシュメモリとして使用を許可する情報を格納するレジスタ8と、レジスタ8の許可情報でプロセッサの指示するアドレスの一部aとプロセッサの指示するアドレスの一部bにより指定されるアドレスメモリ

のアドレスとを比較する比較器3と、高速メモリとして動作するためのデコーダ9およびゲート6とを設けてある。

(作用)

レジスタ8に、例えば、キャッシュメモリの7-2のウエイが有効であるように格納されていると、アドレスメモリ2の該当するウエイの2-2のアドレスとCPU1の指示するアドレスの一部bとの照合が比較器3で取られ、照合した場合、キャッシュメモリとして7-2の領域をアクセスする。

また、7-1の領域は、キャッシュメモリとしてではなく、高速メモリとしてアクセス可能な領域で、レジスタ8とデコーダ9及びプロセッサの指示するアドレスの一部aによりアクセスする。

レジスタと比較器を設けた簡易な構成で、キャッシュメモリと高速メモリとの混在した領域のアクセスが可能になる。

(実施例)

第2図は本発明の実施例を示すブロック図である。1はプロセッサ(MPU)、2はアドレスメモリであり、例えば4ウエイの2-1～2-4のメモリである。3と5は比較器であり、4ウエイに対応した3-1～3-4と5-1～5-4である。4は高速用メモリとして使用する場合のアドレスをウエイ毎に指定しておくレジスタであり、4-1～4-4で構成されている。6はゲート回路、7は高速メモリとして使用可能なキャッシュメモリであり、4ウエイに対応して7-1～7-4で構成されている。8はキャッシュメモリ7をキャッシュメモリとして使用可否を許可する情報即ち、ウエイ番号を格納しているレジスタである。

第2図は分かり易くするために、#1のウエイのみの配線を示しており、他のウエイ#2～#4も同様に同一添字間は接続されている。

例えば、レジスタ8にウエイ2-1～2-3が登録されていると、高速メモリ領域へのアクセスではない場合にレジスタ8はアドレスメモリ2の2-1

～2-3と、比較器3の3-1～3-3の作動を許可し、MPU 1からのアドレス信号aはウエイ2-1～2-3のアドレスと比較器3で照合される。比較器3は、照合のとれたウエイ番号とともにゲート回路6を介して、キャッシュメモリ7をキャッシュメモリとして該当する領域をアクセスする。

若し、高速メモリ領域へのアクセスの場合には、アドレスメモリ2と比較器3は許可信号が入力されず無効となり、高速メモリ領域をキャッシュメモリとして使っている2-1～2-3の領域のアクセスは禁止される。

この時、MPU 1からのアドレス信号aは、比較器5の5-4で高速用メモリのアドレスをウエイ毎に格納したレジスタ4の4-4の内容即ちアドレスと比較する。照合が取れるとゲート回路6を介して該当するキャッシュメモリ7-4を高速用メモリとして該当する領域をアクセスする。

第3図は本発明の他の実施例を示すブロック図であり、第2図の実施例と異なる部分は、高速用メモリとして使用する場合の先頭アドレスを指定

しておくレジスタ40をもち、レジスタ8には、キャッシュメモリとして使用する領域のウエイ数を登録する。

例えば、レジスタ8にウエイ数3を登録し、レジスタ40には、「1000」を登録しておく。比較器5はレジスタ40に登録されているアドレスから高速メモリとして使用される残りの1ウエイ分のアドレスまであることを比較、検出し、合致すると4番目のウエイ7-4が高速用メモリの領域としてアクセスされる。

上記した説明は、4ウエイのアドレスメモリを用いて説明を行ったがこの数は任意であっても何等支障ないのはいうまでもない。

(発明の効果)

以上の説明より明らかなように、本発明によればキャッシュメモリの常駐ビットの制御をすることもなく、レジスタと比較器を備えるという簡易な構成でキャッシュメモリと高速用メモリの混在が可能となり、キャッシュメモリを有効利用する

上できわめて優れた効果を発揮する。

4. 図面の簡単な説明

第1図は本発明の原理図、

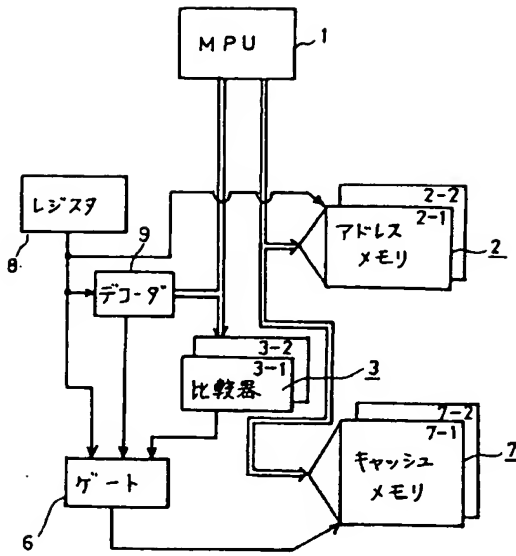
第2図は本発明の実施例を示すブロック図、

第3図は本発明の他の実施例を示すブロック図である。

図において、1はMPU、2はアドレスレジスタ、3と5は比較器、7はキャッシュメモリ、8はレジスタを示す。

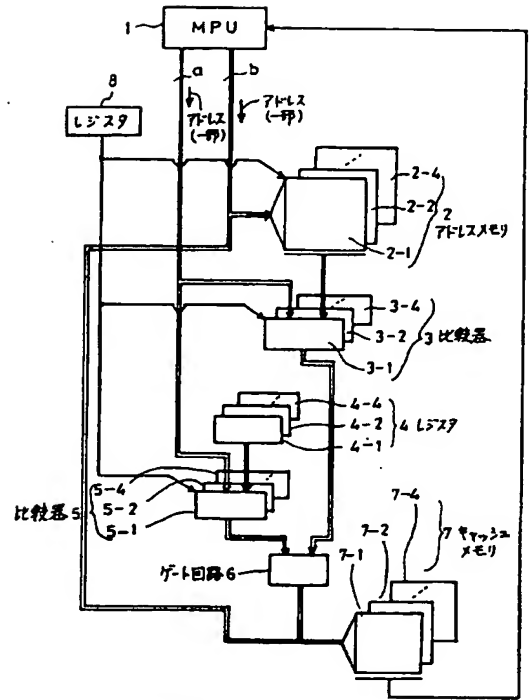
代理人 弁理士 井桁 貞一





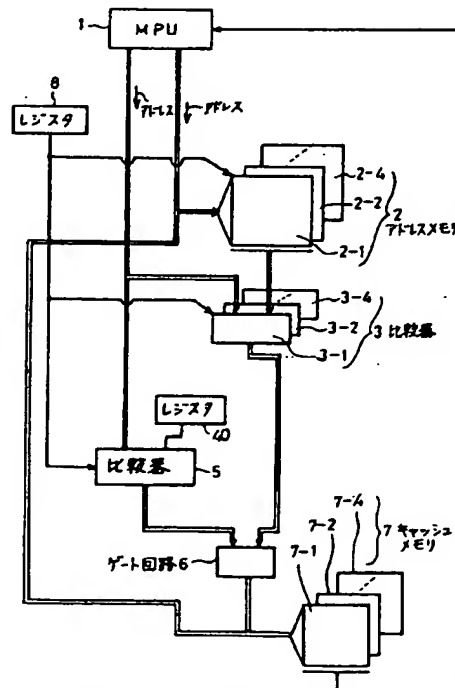
本発明の原理図

第 1 図



本発明の実施例を示すブロック図

第 2 図



本発明の他の実施例を示すブロック図

第 3 図